

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2871646号

(45) 発行日 平成11年(1999) 3月17日

(24) 登録日 平成11年(1999) 1月8日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/20

G

H 0 4 Q 3/00

H 0 4 Q 3/00

請求項の数 3 (全 13 頁)

(21) 出願番号 特願平9-21890

(22) 出願日 平成9年(1997) 2月5日

(65) 公開番号 特開平10-224357

(43) 公開日 平成10年(1998) 8月21日

審査請求日 平成9年(1997) 2月5日

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 藤森 也次晃

東京都港区芝五丁目7番1号 日本電気
株式会社内

(74) 代理人 弁理士 ▲柳▼川 信

審査官 桂 正憲

(56) 参考文献 特開 平10-117195 (J P, A)

特開 平9-224035 (J P, A)

(58) 調査した分野(Int.Cl.⁶, D B名)

H04L 12/28

H04L 12/56

H04Q 3/00

(54) 【発明の名称】 ATMトラヒックシェーパ回路

1

(57) 【特許請求の範囲】

【請求項1】 非同期転送モードの入力セルを格納するセル格納メモリと、前記セル格納メモリにおける送出待ちのセル数を基に当該入力セルの送出時刻を算出するセル送出時刻算出手段と、前記セル送出時刻算出手段で算出された前記送出時刻を基に当該入力セルが格納された前記セル格納メモリのアドレスを前記入力セルの送出順に格納する連想記憶メモリと、前記連想記憶メモリから順次読出されるアドレスを基に前記セル格納メモリから前記入力セルを読出して送出する送出手段とを含み、前記送出手段が前記入力セルを送出することでセル送出間隔を均一化するATMトラヒックシェーパ回路であって、前記セル送出時刻算出手段で算出された前記送出時刻に対応する前記連想記憶メモリのアドレスと現在送出すべき前記連想記憶メモリのアドレスとを比較する比較

2

手段と、前記連想記憶メモリの先頭アドレスから前記現在送出すべき前記連想記憶メモリのアドレスまでの範囲内でセル送出予約のない前記連想記憶メモリのアドレスの中から最も小さいアドレス値を検索する第1の検索手段と、前記比較手段の比較結果に応じて前記現在送出すべき前記連想記憶メモリのアドレスと前記連想記憶メモリの最終アドレスとのうちいずれかの値を選択する選択手段と、前記現在送出すべき前記連想記憶メモリのアドレスと前記選択手段の選択結果との間の範囲内でセル送出予約のない前記連想記憶メモリのアドレスの中から最も小さいアドレス値を検索する第2の検索手段と、前記比較手段の比較結果に応じて前記第1及び第2の検索手段各々の検索結果のうち一方を前記セル格納メモリのアドレスを格納する連想記憶メモリのアドレスとして出力する判定手段とを有することを特徴とするATMトラヒ

ックシェーパー回路。

【請求項2】 前記選択手段は、前記比較手段が前記送出時刻に対応する前記連想記憶メモリのアドレスが前記現在送出すべき前記連想記憶メモリのアドレスよりも大きいことを検出した時に前記連想記憶メモリの最終アドレスを選択しかつ前記比較手段が前記送出時刻に対応する前記連想記憶メモリのアドレスが前記現在送出すべき前記連想記憶メモリのアドレスよりも小さいことを検出した時に前記現在送出すべき前記連想記憶メモリのアドレスを選択するよう構成したことを特徴とする請求項1記載のATMトラヒックシェーパー回路。

【請求項3】 前記判定手段は、前記比較手段が前記送出時刻に対応する前記連想記憶メモリのアドレスが前記現在送出すべき前記連想記憶メモリのアドレスよりも大きいことを検出した時に前記第2の検索手段の検索結果を前記セル格納メモリのアドレスを格納する連想記憶メモリのアドレスとして出力しかつ前記比較手段が前記送出時刻に対応する前記連想記憶メモリのアドレスが前記現在送出すべき前記連想記憶メモリのアドレスよりも小さいことを検出した時に前記第1の検索手段の検索結果を前記セル格納メモリのアドレスを格納する連想記憶メモリのアドレスとして出力するよう構成したことを特徴とする請求項1または請求項2記載のATMトラヒックシェーパー回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はATMトラヒックシェーパー回路に関し、特にATM(Asynchronous Transfer Mode:非同期転送モード)網においてCAM(Content Addressable Memory:連想記憶メモリ)を用いてセル転送遅延ゆらぎを吸収するトラヒックシェーパー回路に関する。

【0002】

【従来の技術】近年、ATMの技術を用いるネットワークの実用化の研究が盛んに進められている。このATM転送方式では、デジタル情報をセルという固定長のデータに変換して伝送する。各セルは5バイトのヘッダと48バイトの情報フィールドで構成され、ヘッダには通信開始前に予め定められたVPI(Virtual Path Identifier:論理パス識別子)及びVCI(Virtual Channel Identifier:論理チャネル識別子)という各識別子が含まれ、ATM網ではこのVPI-VCIを識別してスイッチング装置や伝送装置等における伝送路の切替え等の制御が行われる。

【0003】ATM転送方式における多重化は非同期で行うため、多重化装置やスイッチ等を経由すると、多重化装置やスイッチ等のバッファ内での待ち時間の相違によってセル転送遅延ゆらぎが発生する。

【0004】このセル転送遅延ゆらぎが発生すると、セル間隔が小さくなることがあるため、VP(Virtual Path)またはVC(Virtual Channel)上でバーストラヒックが発生する。その際、VPのセル損失条件を保証するためにはVPまたはVCの帯域の総和よりも大きい帯域を割り当てなければならず、網資源の使用効率が低下する。

【0005】また、各VP及びVCではそのトラヒック特性に基づいて1ラインに複数のVPまたはVCの統計多重化を行っている。このため、各VPまたはVCに対応して定められたトラヒック特性(平均使用帯域、最高使用帯域等)と実際に伝送されるトラヒック特性とが異なる場合に、ATMスイッチにおいて異常なバッファ溢れを起こし、サービス品質が非常に悪化する恐れがある。

【0006】これらの問題を解決するために、ATMスイッチでVPまたはVCのトラヒックのシェーピング(平滑化)を行って、セル間隔を再生して一定にするトラヒックシェーパーが提案されている。ATM網内においてトラヒックシェーパーは一般にATM網内でセルを送出する装置内に設けられる。

【0007】通常、トラヒックシェーパーにおいてはセルを一度セル格納メモリに書込み、そのセルを再度セル格納メモリから読出すことによってセル送出間隔を均一化している。トラヒックシェーパーに入力されたセルは送出間隔を均一化するよう計算された送出予定時刻に対する格納メモリのメモリ領域に書込まれ、現在送出時刻にしたがって逐次格納メモリから読出される。セル送出予定時刻に対するセル格納メモリの領域が空きでなかった場合は、送出予定時刻以降で最も近い送出時刻に対応するセル格納メモリの空き領域を探し、その空き領域にセルを書込む。

【0008】従来のCAMを用いたトラヒックシェーパーはCAM(Content Addressable Memory:連想記憶メモリ)を用い、セル送出予定時刻(検索開始アドレス)をもとに、セル格納メモリ上の空き領域の検索を行う方式である。この従来のCAMを用いたトラヒックシェーパーの構成を図5を用いて説明する。

【0009】トラヒックシェーパーを行う回路は、図5に示すように、セル格納メモリ2と、セル送出時刻判定回路3と、送出時刻/CAMアドレス変換回路4と、アドレスメモリ5と、CAM読出しアドレスカウンタ6と、CAM7とから構成されている。

【0010】入力ATMセルはアドレスメモリ5の指定するアドレスに従ってセル格納メモリ2内の指定アドレスに書込まれる。セル送出時刻判定回路3では入力ATMセルのVCやVP毎の送出待ち時刻(セル待ち数)に応じて、VCやVP毎の送出待ち許容時間を満足する当該入力ATMセルの理想送出時刻を算出し、この理想送

5

出時刻を送出時刻／CAMアドレス変換回路4に送出する。

【0011】送出時刻／CAMアドレス変換回路4はその理想送出時刻と現セル時刻であるCAM読出しアドレスカウンタ6のカウンタ値とを基にCAMアドレス（送出予定時刻に対応するCAM7のアドレス）に変換する。この場合、送出時刻／CAMアドレス変換回路4ではまずCAM7を検索モードとし、変換したCAMアドレスを検索開始アドレスとしてCAM7内の空きアドレスを検索する。

【0012】次に、CAM7を書込みモードとし、セル格納メモリ2へのセル書込みアドレス値を検索結果のCAMアドレスのデータ領域に書込む（送信予約）。さらに、CAM7を読出しモードとし、CAM読出しアドレスカウンタ6のカウンタ値にしたがって現セル時刻に対応するCAMアドレスのデータ（セル書込みアドレス値）を読出す。これをセル読出しアドレスとし、現セル時刻で出力するセルをセル格納メモリ2から読出す。

【0013】また同時に、セル読出しアドレスはアドレスメモリ5にも書込まれる。この後、CAM7に対して読出しを行った現セル時刻のCAMアドレスのデータ領域に空きを示す固定値（空き表示ボタン）を上書きし、CAM読出しアドレスカウンタ6をカウントアップする。この一連の動作は1セル時間（入力ATMセルの通過時間）で処理される。

【0014】ここで、CAM読出しアドレスカウンタ6はセル送出毎にカウントアップされるため、CAM7の読出しはそのアドレス順にしたがって行われる。CAM読出しアドレスカウンタ6はリングカウンタとなっており、CAMアドレスの指定が最終アドレスまで到達すると、最初のCAMアドレスに戻る動作を繰返す。

【0015】上記のCAM7は、図6に示すように、CAMセルアレイ71と、検索指定回路72と、アドレス選択回路73とから構成されている。CAM7のアドレスは、送出時刻／CAMアドレス変換回路4を経由して入力されるCAM読出しカウンタ6の値にしたがったセルの送出時刻（セル送出順序）に対応しており、CAM7のデータ領域にはセルを書込んだセル格納メモリ2のアドレス（セル書込みアドレス）が書込まれている。

【0016】CAM7のデータ領域にセル格納メモリ2のアドレスが書かれている場合は、送出する時刻の定まったセルがセル格納メモリ2内に存在することを示している（送信予約有り）。また、CAM7のデータ領域に空き表示ボタンが書かれている場合は、そのCAMアドレスに対応するセル送出時刻に送出すべきセルの予約がないことを示している。

【0017】CAM7の検索時の動作について以下説明する。送出時刻／CAMアドレス変換回路4からのCAM制御信号によってCAM7が検索モードにある場合、CAMセルアレイ71内では入力データと各CAM7の

6

データ領域との一致検出が行われる。このときの入力データは空き表示ボタンであり、これをキーとしてセル送出予約のないCAMアドレスの検索が行われる。

【0018】CAMセルアレイ71からは各アドレス毎に一致検出結果出力が検索指定回路72に接続されている。検索指定回路72ではCAM入力アドレスを検索開始アドレスとし、この検索開始アドレス以降のCAMアドレスに対する一致検出結果出力線のみを有効とする。このときのCAM入力アドレスは送出予定時刻に対応するアドレス値であり、さらにアドレス選択回路73においては有効となった一致検出出力のうち検索開始アドレス以降でこれに最も近いアドレスの出力を選択し、この一致検出出力に相当するCAMアドレスが検索結果CAMアドレスとして出力される。これによって、送出予定時刻以降でこれに最も近い送出時刻のCAMアドレスを検出することができる。

【0019】上記の検索結果CAMアドレスに対し、現セル時刻においてセル格納メモリ2にセルを書込んだアドレス値（セル書込みアドレス）を書込むことによって、必要とするセル送出予定時刻（セル待ち数）以降の最も近いセル送出時刻を選択して送出予約することが可能となる。

【0020】

【発明が解決しようとする課題】上述した従来のトラヒックシェーパの構成では、セル送出時刻に対応したCAMのアドレスに書かれたデータ（セル書込みアドレス）をセルデータ格納メモリの書込み／読出しアドレスとすることによって、送出予定時刻（検索開始アドレス）を基にセル格納メモリの空き領域検索をCAMで行う方式である。

【0021】しかしながら、従来のCAMにおける検索では、検索開始アドレス以降の一致検出出力のみを有効とするため、検索開始アドレスからCAM最終アドレスの間で空き表示ボタンが見つからなかった場合には再度CAMの先頭アドレスから検索開始アドレスの間に対する検索を実行する必要がある。

【0022】また、セル格納メモリのアドレス管理をCAMで行っており、CAM読出しカウンタ値はCAMの先頭アドレスからCAMの最終アドレスに向けて連続的に繰返し指定するため、現セル時刻に対するCAMアドレスと送出予定時刻に対するCAMアドレスとの関係が、図3に示すように、2種類考えられる。

【0023】一つは図3（a）に示すように、現セル時刻に対するCAMアドレスが送出予定時刻（検索開始アドレス）に対するCAMアドレスよりも大きい場合、もう一つは図3（b）に示すように送出予定時刻（検索開始アドレス）に対するCAMアドレスが現セル時刻に対するCAMアドレスよりも大きい場合である。

【0024】従来のCAMにおける検索では検索開始アドレスのみで検索範囲を指定しているため、何れの場合

10

20

30

40

50

においても図中斜線によって示す現セル時刻と送出予定時刻（検索開始アドレス）のアドレスとの間にある書き込み禁止領域内のCAMアドレスを検索結果CAMアドレスとして判定する場合がある。

【0025】この場合、送出予定時刻（検索開始アドレス）と送出予約されるアドレスとの間に逆転が生じ、セル送出時刻判定回路で算出した予定時刻以前に当該セルが出力されてしまうため、トラヒックシェーパとしての機能が果たせないばかりか、セル損失の原因になるという問題がある。

【0026】そこで、本発明の目的は上記の問題点を解消し、CAMを用いたトラヒックシェーパにおいてCAMの検索回数を減らし、セル損失の原因となる送出予定時刻（検索開始アドレス）と送出予約されるCAMアドレスとの逆転を防止することができるATMトラヒックシェーパ回路を提供することにある。

【0027】

【課題を解決するための手段】本発明によるATMトラヒックシェーパ回路は、非同期転送モードの入力セルを格納するセル格納メモリと、前記セル格納メモリにおける送出待ちのセル数を基に当該入力セルの送出時刻を算出するセル送出時刻算出手段と、前記セル送出時刻算出手段で算出された前記送出時刻を基に当該入力セルが格納された前記セル格納メモリのアドレスを前記入力セルの送出順に格納する連想記憶メモリと、前記連想記憶メモリから順次読出されるアドレスを基に前記セル格納メモリから前記入力セルを読出して送出する送出手段とを含み、前記送出手段が前記入力セルを送出することでセル送出間隔を均一化するATMトラヒックシェーパ回路であって、前記セル送出時刻算出手段で算出された前記送出時刻に対応する前記連想記憶メモリのアドレスと現在送出すべき前記連想記憶メモリのアドレスとを比較する比較手段と、前記連想記憶メモリの先頭アドレスから前記現在送出すべき前記連想記憶メモリのアドレスまでの範囲内でセル送出予約のない前記連想記憶メモリのアドレスの中から最も小さいアドレス値を検索する第1の検索手段と、前記比較手段の比較結果に応じて前記現在送出すべき前記連想記憶メモリのアドレスと前記連想記憶メモリの最終アドレスとのうちいずれかの値を選択する選択手段と、前記現在送出すべき前記連想記憶メモリのアドレスと前記選択手段の選択結果との間の範囲内でセル送出予約のない前記連想記憶メモリのアドレスの中から最も小さいアドレス値を検索する第2の検索手段と、前記比較手段の比較結果に応じて前記第1及び第2の検索手段各々の検索結果のうち一方を前記セル格納メモリのアドレスを格納する連想記憶メモリのアドレスとして出力する判定手段とを備えている。

【0028】すなわち、本発明のATMトラヒックシェーパ回路のCAM検索回路は、現セル時刻アドレス及び検索開始アドレスの両方を入力して双方のアドレス値を

比較する比較回路と、比較回路の比較結果に応じてCAM現セル時刻アドレスとCAM最終アドレスとのうち何れかの値を選択する選択回路と、データの記憶及び一致・不一致判定を行うCAMセルアレイと、CAM先頭アドレスから現セル時刻アドレスまでの間の一致検出力を選択的に有効とする第1の検索指定回路と、選択回路の出力と検索開始アドレスとの間の一致検出力を選択的に有効にする第2の検索指定回路と、第1の検索指定回路において有効となった一致検出力のうちCAM先頭アドレスに最も近いアドレスの出力を選択してそのCAMアドレスを出力する第1のアドレス選択回路と、第2の検索指定回路において有効となった一致検出力のうち最もアドレス値の小さい出力を選択してそのCAMアドレスを出力する第2のアドレス選択回路と、第1及び第2のアドレス選択回路各々の出力を比較回路の結果に従って判定する判定回路とを含む。

【0029】第1の検索指定回路及び第1のアドレス選択回路は、CAM先頭アドレスから現セル時刻アドレスまでの範囲内で空き表示パタンとの一致検出力の中から最もアドレス値の小さいCAMアドレスを検索する。

【0030】一方、第2の検索指定回路及び第2のアドレス選択回路は、比較回路による現セル時刻に対するCAMアドレスと送出予定時刻に対応するCAMアドレスとの大小比較結果にしたがってCAMアドレスの検索範囲を切替え、検索範囲内において空き表示パタンとの一致検出力の中から最もアドレス値の小さいCAMアドレスを検索する。

【0031】これら双方の検索結果を比較回路の結果によって送出予定時刻（検索開始アドレス）と送出予約されたアドレスとの逆転が発生しないように、検索結果のCAMアドレスを判定する。これによって、CAMの検索回数を減らし、セル損失の原因となる送出予定時刻（検索開始アドレス）と送出予約されるアドレスとの逆転を防止することが可能となる。

【0032】

【発明の実施の形態】次に、本発明の一実施例について図面を参照して説明する。図1は本発明の一実施例によるCAM（Content Addressable Memory：連想記憶メモリ）の構成を示すブロック図である。図において、CAM1はCAMセルアレイ11と、比較回路12と、選択回路13と、第1の検索指定回路14と、第2の検索指定回路15と、第1のアドレス選択回路16と、第2のアドレス選択回路17と、判定回路18とから構成されている。

【0033】CAMセルアレイ11はデータの記憶及び一致・不一致判定を行い、比較回路12は現セル時刻アドレス及び検索開始アドレスの両方を入力とし、双方のアドレス値を比較する。選択回路13は比較回路12の比較結果によって現セル時刻アドレスとCAM最終アドレスとのうちの何れかの値を選択する。

【0034】第1の検索指定回路14はCAM先頭アドレスから現セル時刻アドレスまでの間の一致検出出力を選択的に有効とし、第2の検索指定回路15は選択回路13の出力アドレスと検索開始アドレスとの間の一致検出出力を選択的に有効にする。第1のアドレス選択回路16は第1の検索指定回路14において有効とした一致検出出力のうちCAM先頭アドレスに最も近い（最も値の小さい）アドレスの出力を選択し、そのCAMアドレスを出力する。第2のアドレス選択回路17は第2の検索指定回路15において有効とした一致検出出力のうち最もアドレス値の小さい出力を選択し、そのCAMアドレスを出力する。判定回路18は第1のアドレス選択回路16の出力と第2のアドレス選択回路17の出力とのうち一方を比較回路12の結果によって選択を行い、選択したアドレスを検索結果のCAMアドレスとして出力する。

【0035】図2は本発明の一実施例によるATMトラヒックシェーパ回路の構成を示すブロック図である。図において、本発明の一実施例によるATMトラヒックシェーパ回路はCAM1と、セル格納メモリ2と、セル送出時刻判定回路3と、送出時刻/CAMアドレス変換回路4と、アドレスメモリ5と、CAM読出しアドレスカウンタ6とから構成されている。

【0036】セル格納メモリ2は入力ATMセルをアドレスメモリ5で与えられるアドレスに格納し、セル送出時刻判定回路3は入力ATMセルに対する送出待ち時刻の判別を行う。送出時刻/CAMアドレス変換回路4は現セル時刻を基に当該入力セルの送出予定時刻をCAMアドレスに変換し、CAM1はセル格納メモリ2のアドレスを管理し、アドレスメモリ5はセル格納メモリ2の空きアドレスを格納する。CAM読出しアドレスカウンタ6は現セル時刻を与えるリングカウンタである。

【0037】図3は図1の判定回路8による判定動作を説明するための図であり、図4は本発明の一実施例によるセル送出動作を示すフローチャートである。これら図1～図4を用いて本発明の一実施例によるセル送出動作について説明する。

【0038】ATMトラヒックシェーパ回路に入力された入力ATMセルはアドレスメモリ5の指定するアドレスにしたがってセル格納メモリ2内の指定アドレスに書込まれる（図4ステップS1）。セル送出時刻判定回路2では入力ATMセルのVP及びVCの送出待ち時刻（セル待ち数）を判別し（図4ステップS2）、これに応じてVCやVP毎の送出待ち許容時間を満足する当該入力ATMセルの理想送出時刻を算出し、この理想送出時刻を送出時刻/CAMアドレス変換回路4に送出する。

【0039】送出時刻/CAMアドレス変換回路4はその理想送出時刻と現セル時刻であるCAM読出しアドレスカウンタ6のカウンタ値とを基にCAMアドレス（送

出予定時刻）に変換する。この場合、送出時刻/CAMアドレス変換回路4ではまずCAM1を検索モードとし、変換したCAMアドレスを検索開始アドレスとして現セル時刻アドレスとともにCAM1に入力し、これらを基にCAM1内の空きアドレスを検索する（図4ステップS3）。

【0040】次に、CAM1を書込みモードとし、セル格納メモリ2へのセル書込みアドレス値を検索結果のCAMアドレスのデータ領域に書込む（送信予約）（図4ステップS4）。さらに、CAM1を読出しモードとし、CAM読出しアドレスカウンタ6のカウンタ値にしたがって現セル時刻に対応するCAMアドレスのデータ（セル書込みアドレス値）を読出す（図4ステップS5）。これをセル読出しアドレスとし、現セル時刻で出力するセルをセル格納メモリ2から読出す（図4ステップS6）。

【0041】また同時に、セル読出しアドレスはアドレスメモリ5にも書込まれる（図4ステップS7）。この後、CAM4に対して読出しを行った現セル時刻のCAMアドレスのデータ領域に空きを示す固定値（空き表示ボタン）を上書きし、CAM読出しアドレスカウンタ6をカウンタアップする（図4ステップS8）。この後に、セル格納メモリ2から読出されたATM入力セルが送出される（図4ステップS9）。これらの一連の動作は図4に示すように1セル時間で処理される。

【0042】CAM読出しアドレスカウンタ6はセル送出毎にカウンタアップされ、そのカウンタ値は現セル送出時刻アドレスに対応しており、CAM1の読出しはそのアドレス順に従って行われる。また、CAM読出しアドレスカウンタ6はリングカウンタとなっており、CAMアドレスの指定が最終アドレスまで到達すると、最初のCAMアドレスに戻る動作を繰り返す。

【0043】CAM1のアドレスは送出時刻/CAMアドレス変換回路4を経由して入力されるCAM読出しカウンタ6の値にしたがったセルの送出時刻（セル送出順序）に対応しており、CAM1のデータ領域にはATM入力セルを書込んだセル格納メモリ2のアドレス（セル書込みアドレス）が書込まれている。

【0044】CAM1のデータ領域にセル格納メモリ2のアドレスが書かれている場合は、送出する時刻の定まったセルがセル格納メモリ2内に存在することを示している（送信予約有り）。また、CAM1のデータ領域に空き表示ボタンが書かれている場合は、そのCAMアドレスに対応するセル送出時刻に送出すべきセルの予約がないことを示している。

【0045】次に、図1を参照してCAM1の検索時の回路動作について説明する。比較回路12はCAM1に入力されている現セル時刻アドレスと検索開始アドレスとを比較し、検索開始アドレスが現セル時刻アドレスより「大きい」か或いは「それ以下」かの何れかを判定す

る。

【0046】選択回路13は比較回路12の結果によって検索開始アドレスが現セル時刻アドレスより「大きい」場合にCAM最終アドレスを出力し、検索開始アドレスが現セル時刻アドレスより「それ以下」の場合に現セル時刻アドレスを出力する。

【0047】CAMセルアレイ11は送出時刻/CAMアドレス変換回路4からのCAM制御信号が検索モードとされた場合、入力データと書込まれているデータとの一致検出を行い、各アドレスに対する一致検出結果を出力する。第1の検索指定回路14はCAMセルアレイ11の一致検出出力に対し、CAM先頭アドレスから現セル時刻アドレスまでの間のみを有効とするようなマスクをかける。第1のアドレス選択回路16は第1の検索指定回路14で有効とされた一致検出出力のうちのCAM先頭アドレスから現セル時刻アドレスまでの間で最も小さいCAMアドレスを出力する。

【0048】第2の検索指定回路15は検索開始アドレスが現セル時刻アドレスより「大きい」ことが比較回路12で検出された場合に検索開始アドレスからCAM最終アドレスまでの間を有効とする。また、第2の検索指定回路15は検索開始アドレスが現セル時刻アドレスより「それ以下」であることが比較回路12で検出された場合、現セル時刻アドレスから検索開始アドレスまでの間を有効とするようCAMセルアレイ11の一致検出出力に対してマスクをかける。第2のアドレス選択回路17は第2の検索指定回路15で有効とされた一致検出出力のうち、最も小さいCAMアドレスを出力する。

【0049】判定回路18は検索開始アドレスが現セル時刻アドレスより「大きい」ことが比較回路12で検出された場合に第2のアドレス選択回路17の結果を出力し、検索開始アドレスが現セル時刻アドレスより「それ以下」であることが比較回路12で検出された場合に第2のアドレス選択回路17の結果を第1のアドレス選択回路16の結果よりも優先して出力し、検索結果のCAMアドレスとする。

【0050】上記の判定回路18の判定方法について図3を用いて説明する。通常、ATMトラヒックシェーパ回路内のセル格納メモリ2は先頭アドレスから最終アドレスまでを繰返し指定するリングメモリとなっている。これに対し、本発明ではセル格納メモリ2のアドレス管理をCAM1で行っているため、現セル時刻アドレスはCAM1のアドレスをCAM先頭アドレスからCAM最終アドレスに向けて連続的に繰返し指し示し、CAM1のアドレスをリング状に指定する方法をとる。

【0051】したがって、現セル時刻アドレスが検索開始アドレスより「大きい」ことが比較回路12で検出された場合〔図3(a)参照〕には、検索開始アドレスから現セル時刻アドレスまでの間(書込み可能領域b)でCAMセルアレイ11の空きエリアを探す必要があり、

第2のアドレス選択回路17の結果を出力するように判定する必要がある。

【0052】また、現セル時刻アドレスが検索開始アドレスより「それ以下」であることが比較回路12で検出された場合〔図3(b)参照〕には、第2のアドレス選択回路17の出力である検索開始アドレスからCAM1の最終アドレスまでの間(書込み可能領域f)における検索結果と、第1のアドレス選択回路16の出力であるCAM1の先頭アドレスから現セル時刻アドレスまでの間(書込み可能領域d)における検索結果との双方でCAMセルアレイ11の空きエリアを探す必要がある。

【0053】但し、この場合、判別回路18では検索開始アドレスからCAM最終アドレスまでの間(書込み可能領域f)すなわち第2のアドレス選択回路17の結果を優先して出力する必要がある。もしも、第2のアドレス選択回路17の出力がない場合には第1のアドレス選択回路16の結果を検索結果のCAMアドレスとして出力する必要がある、空きエリアを優先して使用する必要がある。

【0054】上述した検索結果のCAMアドレスに対して、現セル時刻においてセル格納メモリ2にATM入力セルを書込んだアドレス値をCAM1に書込むことによって、必要とするセル送出予定時刻(セル待ち時間)以降の最も近いセル送出時刻を選択して送出予約することが可能となる。

【0055】このように、CAM1を用いたATMトラヒックシェーパ回路において、第1の検索指定回路14及び第1のアドレス選択回路16でCAM先頭アドレスから現セル時刻アドレスまでの範囲内で空き表示ボタンとの一致検出出力の中から最もアドレス値の小さいCAMアドレスを検索し、第2の検索指定回路15及び第2のアドレス選択回路17で比較回路13による現セル時刻に対するCAMアドレスと送出予定時刻に対応するCAMアドレスとの大小比較結果にしたがってCAMアドレスの検索範囲を切替え、検索範囲内において空き表示ボタンとの一致検出出力の中から最もアドレス値の小さいCAMアドレスを検索するとともに、これら双方の検索結果を比較回路13の結果によって送出予定時刻(検索開始アドレス)と送出予約されたアドレスとの逆転が発生しないように、検索結果のCAMアドレスを判定回路18で判定することによって、CAM1の検索回数を一回で行うことが可能となる。

【0056】また、送出予定時刻(検索開始アドレス)と送出予約されるCAMアドレスとの逆転を防止することができ、従来例では避けられなかったセル送出順序誤りやセル損失を避けることができる。

【0057】

【発明の効果】以上説明したように本発明によれば、非同期転送モードの入力セルを格納するセル格納メモリと、セル格納メモリにおける送出待ちのセル数を基に当

10

20

30

40

50

該入力セルの送出時刻を算出するセル送出時刻算出手段と、セル送出時刻算出手段で算出された送出時刻を基に当該入力セルが格納されたセル格納メモリのアドレスを入力セルの送出順に格納する連想記憶メモリと、連想記憶メモリから順次読出されるアドレスを基にセル格納メモリから入力セルを読出して送出する送出手段とを含み、送出手段が入力セルを送出することでセル送出間隔を均一化するＡＴＭトラヒックシェーパ回路において、セル送出時刻算出手段で算出された送出時刻に対応する連想記憶メモリのアドレスと現在送出すべき連想記憶メモリのアドレスとを比較し、連想記憶メモリの先頭アドレスから現在送出すべき連想記憶メモリのアドレスまでの範囲内でセル送出予約のない連想記憶メモリのアドレスの中から最も小さいアドレス値を第１の検索手段で検索するとともに、上記の比較結果に応じて現在送出すべき連想記憶メモリのアドレスと連想記憶メモリの最終アドレスとのうちいずれかの値を選択してその選択結果と現在送出すべき連想記憶メモリのアドレスとの間の範囲内でセル送出予約のない連想記憶メモリのアドレスの中から最も小さいアドレス値を第２の検索手段で検索し、上記の比較結果に応じて第１及び第２の検索手段各々の検索結果のうち一方をセル格納メモリのアドレスを格納する連想記憶メモリのアドレスとして出力することによって、連想記憶メモリを用いたトラヒックシェーパにおいて連想記憶メモリの検索回数を減らし、セル損失の原因となる送出予定時刻（検索開始アドレス）と送出予約される連想記憶メモリアドレスとの逆転を防止することができるという効果がある。

【図面の簡単な説明】

【図１】本発明の一実施例によるＣＡＭの構成を示すブロック図である。

【図２】本発明の一実施例によるＡＴＭトラヒックシェーパ回路の構成を示すブロック図である。

【図３】図１の判定回路による判定動作を説明するための図である。

【図４】本発明の一実施例によるセル送出動作を示すフローチャートである。

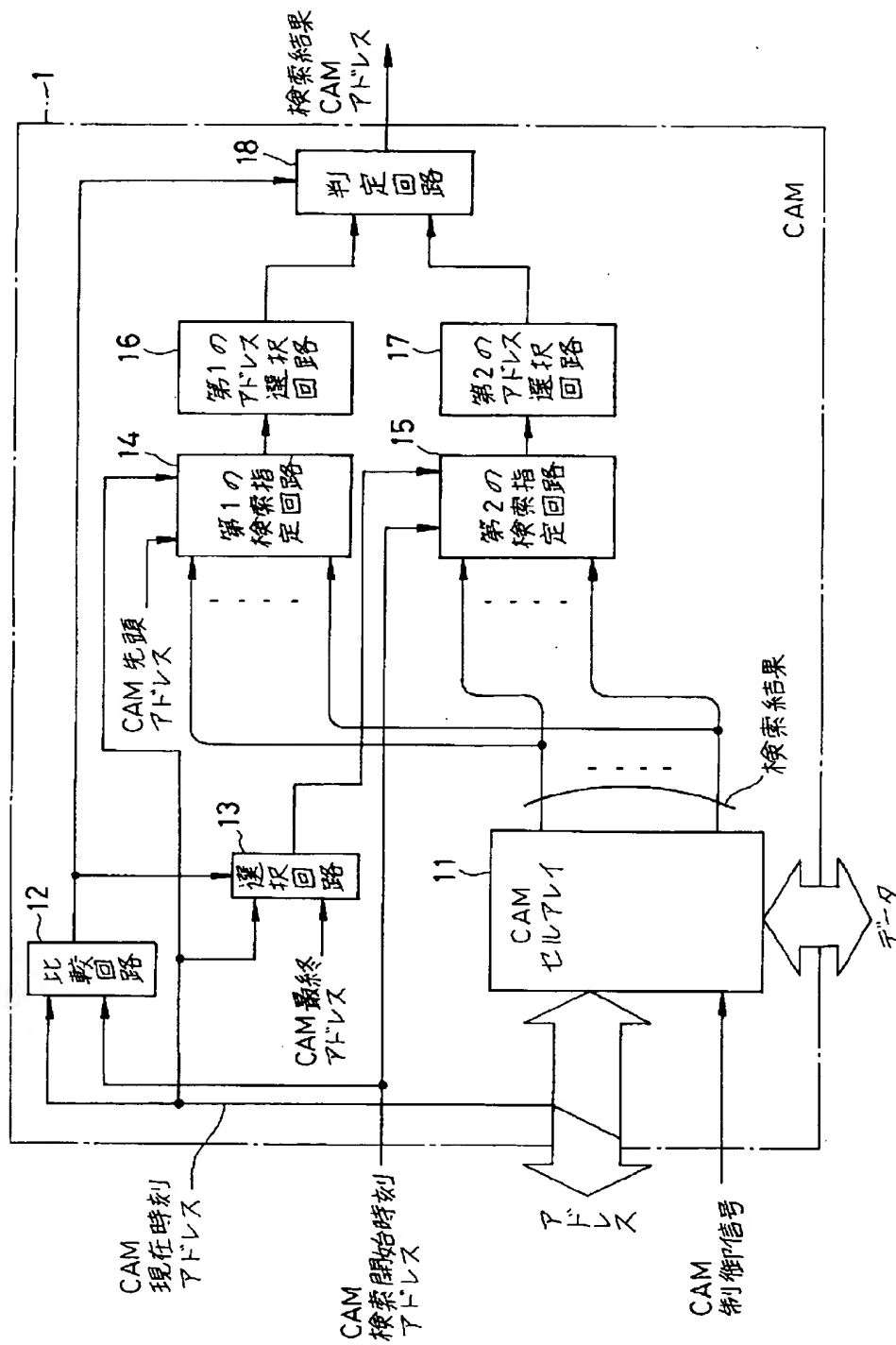
10 【図５】従来例によるＡＴＭトラヒックシェーパ回路の構成を示すブロック図である。

【図６】図５のＣＡＭの構成を示すブロック図である。

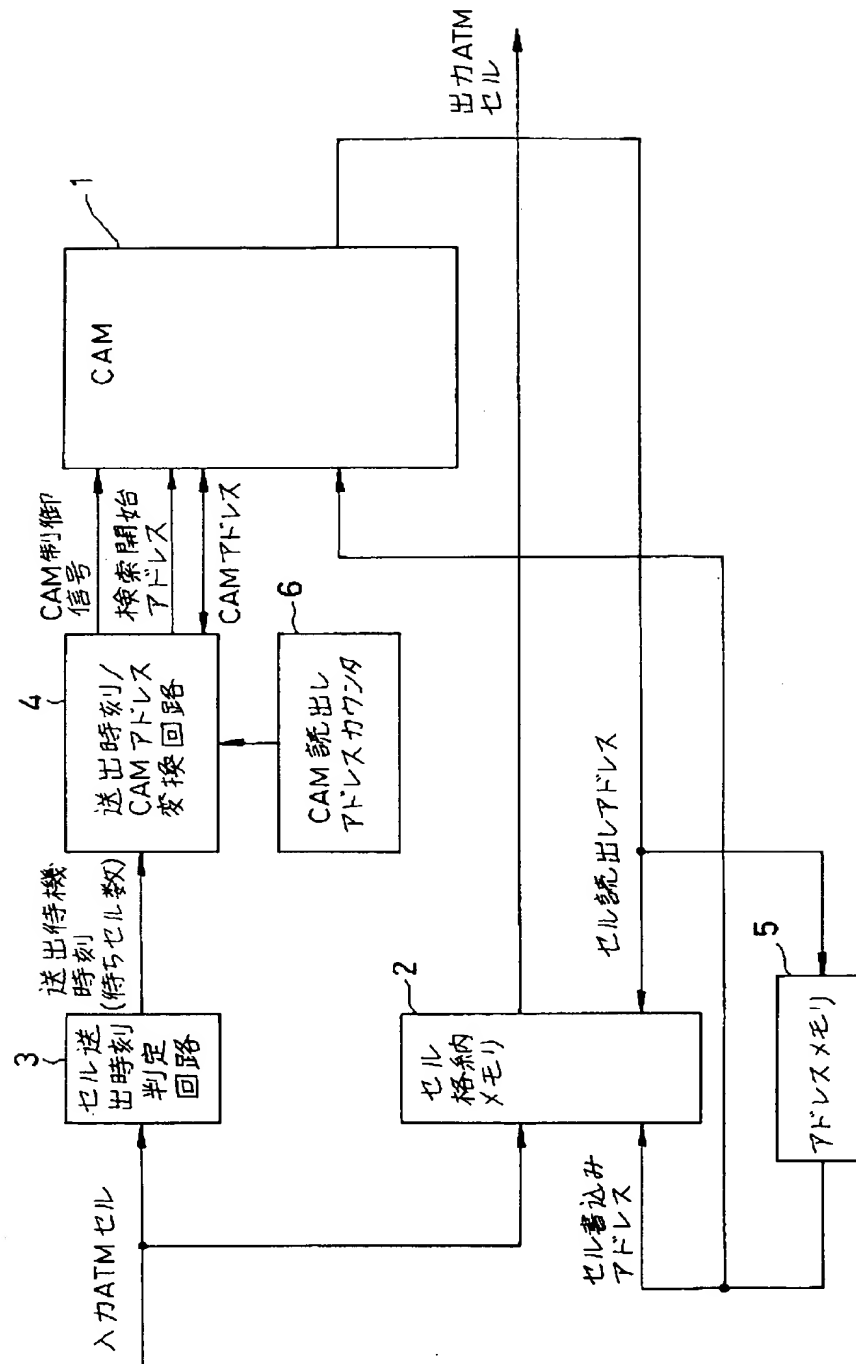
【符号の説明】

- 1 ＣＡＭ
- 2 セル格納メモリ
- 3 セル送出時刻判定回路
- 4 送出時刻／ＣＡＭアドレス変換回路
- 5 アドレスメモリ
- 6 ＣＡＭ読出しアドレスカウンタ
- 20 11 ＣＡＭセルアレイ
- 12 比較回路
- 13 選択回路
- 14 第１の検索指定回路
- 15 第２の検索指定回路
- 16 第１のアドレス選択回路
- 17 第２のアドレス選択回路
- 18 判定回路

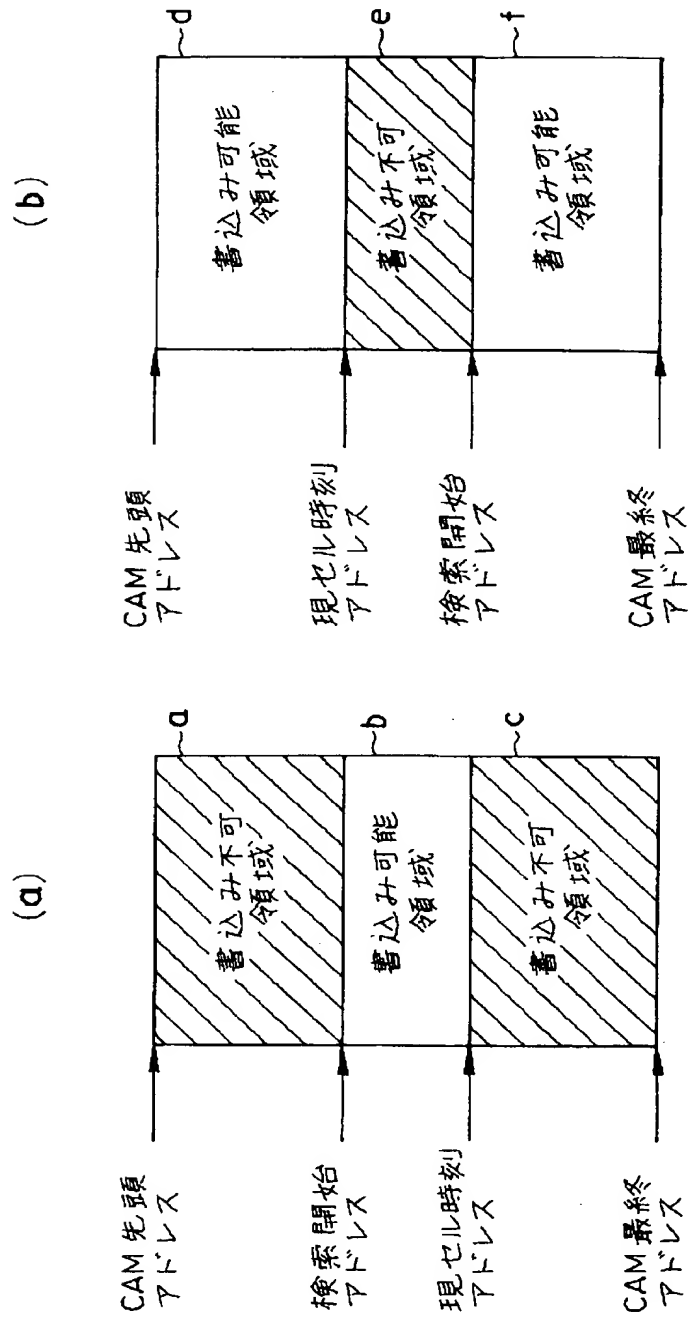
【図1】



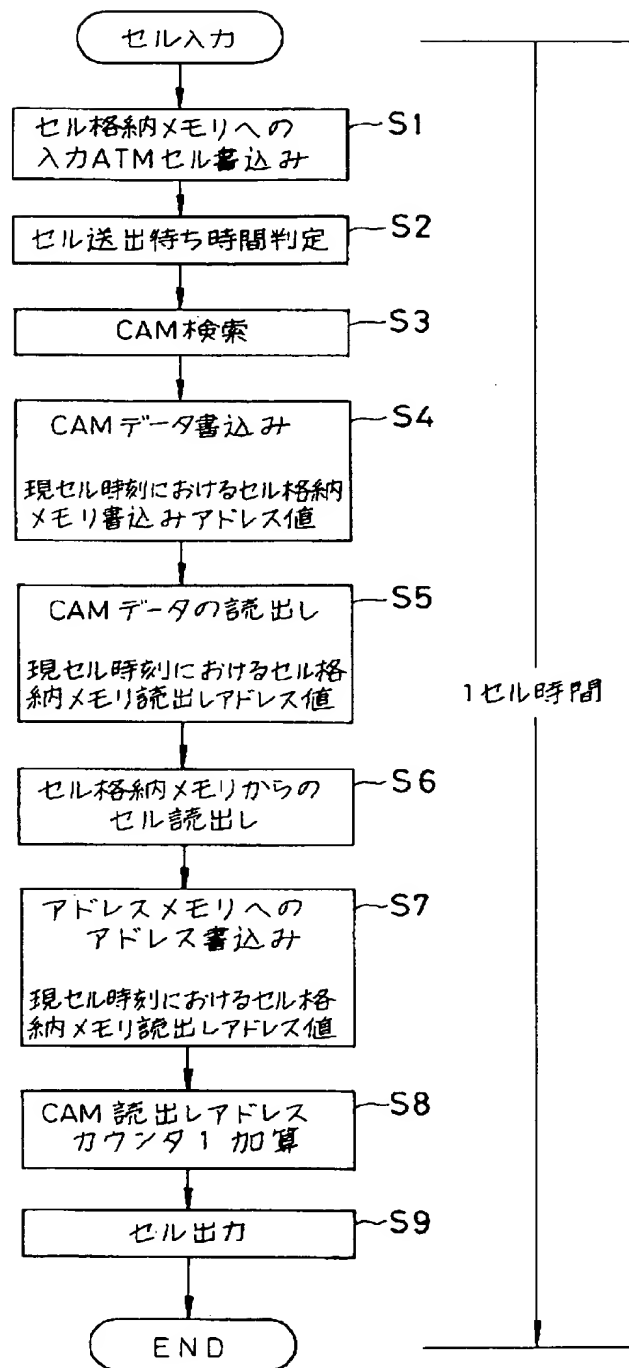
【図2】



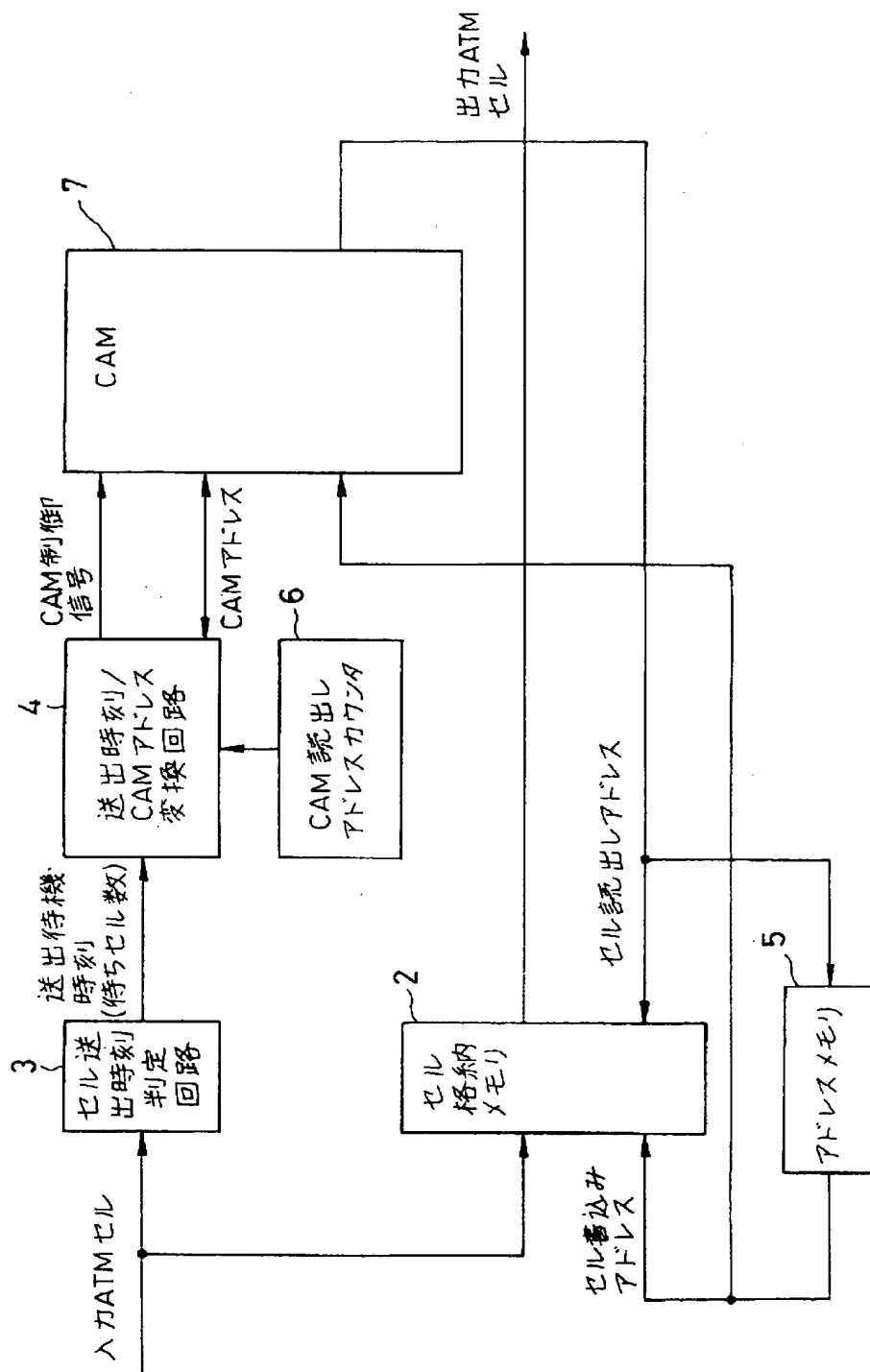
【図3】



【図4】



【図5】



【図6】

